

DELAY EQUALIZATION CIRCUIT

Patent Number: JP8046555
Publication date: 1996-02-16
Inventor(s): ISHIZUKA TSUKASA
Applicant(s): JAPAN RADIO CO LTD
Requested Patent: JP8046555
Application Number: JP19940178416 19940729
Priority Number(s):
IPC Classification: H04B3/14; H03H17/00; H03H17/02
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain a desired delay equalization characteristic only with adjustment by selecting a delay with respect to a desired frequency with a fast Fourier transformation device and a delay circuit and converting the delay into time series data by a fast inverse Fourier transformation device.

CONSTITUTION:An A/D converter 1 limits a band of an analog input signal to be $f_s/2$ [Hz] or below and converts it into a digital signal based on a sampling frequency (clock) f_s [Hz]. Time series data converted into the digital signal are subject to frequency analysis by an n-point FFT 2. N-sets of outputs from the FFT 2 are given to n-sets of delay circuits 3-5. Each delay circuit is a k-stages of shift register and a delay of kXn/f_s [sec] at maximum is optionally selected for each n/f_s [sec] through the changeover of the switch. The n-point IFT 6 converts each of frequency data of the delay circuits 3-5 into time series data. A D/A converter 7 converts the time series data into an analog signal and a builtin filter is used to interpolate the signal. Thus, a desired delay time characteristic is obtained without calculation of a complicated inverse transfer function.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-46555

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/14				
H 0 3 H 17/00		B 8842-5 J		
17/02		B 8842-5 J		

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平6-178416

(22) 出願日 平成6年(1994)7月29日

(71) 出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72) 発明者 石塚 司

東京都三鷹市下連雀5丁目1番1号 日本

無線株式会社内

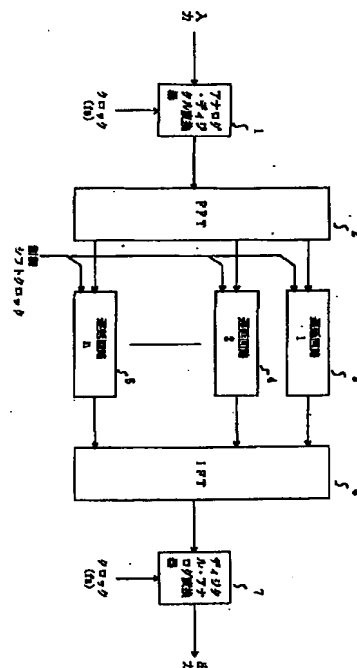
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 遅延等化回路

(57) 【要約】

【目的】 簡単な調整のみで希望する遅延等化特性を得るようにし、計算時間及び調整時間の短縮、デジタル処理による経年変化の除去ができること。

【構成】 周波数帯域制限を行うフィルタを含むアナログ・デジタル変換器1及びnポイントファーストフーリエ変換器2を設け、該変換器の各周波数分析データに遅延を掛けるための1～n個の遅延回路3、4、5を設け、該遅延回路3、4、5の各周波数データを時系列データに変換するnポイントファースト逆フーリエ変換器6を設け、該時系列デジタルデータをアナログ信号に変換する補間フィルタを含むデジタル・アナログ変換器7を設け、遅延等化を行う。



1

【特許請求の範囲】

【請求項1】 群遅延特性を等化する遅延等化器において、周波数帯域制限を行うフィルタを含むアナログ・デジタル変換器と、 n ポイントファーストフーリエ変換器と、該 n ポイントファーストフーリエ変換器の各周波数分析データに遅延を掛けるための遅延時間可変可能な1～ n 個の遅延回路と、該遅延回路の各周波数データを時系列データに変換する n ポイントファースト逆フーリエ変換器と、該時系列デジタルデータをアナログ信号に変換する補間フィルタを含むデジタル・アナログ変換器とを備えていることを特徴とする遅延等化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フィルタ等の群遅延歪みを補償する遅延等化回路に関する。

【0002】

【従来の技術】従来の遅延等化回路は、遅延等化を対象とする回路網の前、後ろ、または前後に回路網の反伝達関数をコンピュータ等を使用して近似し、回路化するのが通例であった。

【0003】したがって、希望する遅延等化特性を得るには計算時間及び各回路素子の調整時間を必要とする。また、目標とする遅延特性を変更する場合、計算及び調整を再度実施する必要がある。

【0004】

【発明が解決しようとする課題】しかしながら、従来の遅延等化回路では、希望する遅延等化特性を得るには膨大な計算時間及び各回路素子の調整時間を必要とする。また、目標とする遅延特性を変更場合には、計算及び調整を再度実施する必要がある。

【0005】上記のように、従来の方法で目的とする遅延等化特性を得るには、設計及び調整に時間がかかり、各素子の特性が時間とともに変化するため経年変化が大きいという問題がある。

【0006】それ故に本発明の課題は、反伝達関数の計算なしに、簡単な調整のみで希望する遅延等化特性を得るようにしたことに特徴があり、計算時間及び調整時間の短縮を目的とするとともに、デジタル処理による経年変化の除去を目的とした遅延等化回路を提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、群遅延特性を等化する遅延等化器において、周波数帯域制限を行うフィルタを含むアナログ・デジタル変換器と、 n ポイントファーストフーリエ変換器と、該 n ポイントファーストフーリエ変換器の各周波数分析データに遅延を掛けるための遅延時間可変可能な1～ n 個の遅延回路と、該遅延回路の各周波数データを時系列データに変換する n ポイントファースト逆フーリエ変換器と、該時系列デジタルデータをアナログ信号に変換する補間フイ

2

ルタを含むデジタル・アナログ変換器とを備えていることを特徴とする遅延等化回路が得られる。

【0008】

【実施例】以下、本発明の遅延等化回路の一実施例を図1を用いて説明する。図1を参照して、群遅延特性を等化する遅延等化器は、周波数帯域制限を行うフィルタを含むアナログ・デジタル変換器1及び n ポイントファーストフーリエ変換器(FFT)2と、 n ポイントファーストフーリエ変換器2の各周波数分析データに遅延を掛けるための遅延時間可変可能な1～ n 個の遅延回路3, 4, 5と、遅延回路3, 4, 5の各周波数データを時系列データに変換する n ポイントファースト逆フーリエ変換器(IFT)6と、時系列デジタルデータをアナログ信号に変換する補間フィルタを含むデジタル・アナログ変換器7とを備えている。

【0009】次に、遅延等化回路の動作について説明すると、アナログ・デジタル変換器1でアナログ入力信号を周波数 $f_s/2$ [Hz]以下に帯域制限するとともに、標本化周波数(クロック) f_s [Hz]でデジタル信号に変換する。デジタル信号に変換された時系列データは n ポイントファーストフーリエ変換器2により周波数分析する。 n 個の n ポイントファーストフーリエ変換器2の出力データの各々は、1～ n 個の遅延回路3, 4, 5に入力され、図2に示す遅延回路3, 4, 5の動作を後述するように、 n/f_s [秒]単位に遅延が掛けられる。

【0010】 n ポイントファースト逆フーリエ変換器6は遅延回路3, 4, 5の各周波数データを時系列データに変換する。遅延が掛けられた1～ n 個のデータはデジタル・アナログ変換器7で時系列データに変換され、さらに内蔵するフィルタで補間され、さらにアナログ信号となって出力される。

【0011】図2は図1に示した遅延回路3, 4, 5の一例を示す。8は k 段シフトレジスタ、9はスイッチである。この動作は、シフトレジスタ8で n ポイントファーストフーリエ変換器2の出力データを n/f_s [秒]毎にシフト蓄積する。蓄積されたデータは a から k のタップに出力されるので、スイッチ9で切り換えることによって、最大 $k \times n/f_s$ [秒]の遅延が n/f_s [秒]毎に任意に選択できることになる。

【0012】したがって、周波数に対応して遅延時間を可変できるので、これらの作用を応用して遅延等化器が実現できる。

【0013】なお、図1のアナログ・デジタル変換器1の周波数は $f_s/2$ [Hz]以下に帯域制限するので、 $f_s/2$ [Hz]までの周波数までは本発明で対応できるが、使用周波数帯域が $f_s/2$ [Hz]よりも低い場合は、必要な周波数に対応する遅延回路3, 4, 5だけ用意し、不要な周波数データを零としてファースト逆フーリエ変換器6の演算を実施すればよいことは言う

までもない。

【0014】

【発明の効果】以上、実施例により説明したように、本発明の遅延等化回路によれば、希望する周波数に対する遅延量をファーストフーリエ変換器及び遅延回路で選択し、ファースト逆フーリエ変換器で時系列データに変換するだけなので複雑な反伝達関数の計算等が不要となる。

【0015】また、入力から出力間の回路の大半はデジタル処理で実現できるため経年変化の影響を受けること
10 がない。

【0016】さらに、遅延等化特性は遅延回路のみで決まるので調整が非常に簡単で、例えば、ネットワークアナライザで群遅延特性の周波数特性を観測しながら遅延回路のスイッチを選択するだけで遅延時間を可変するこ

とができ、群遅延特性の変更も簡単に実現できる。

【図面の簡単な説明】

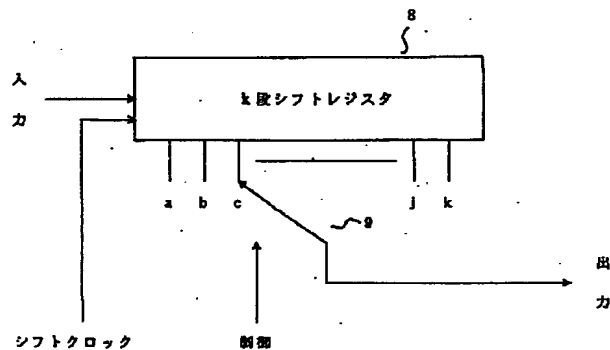
【図1】本発明の遅延等化回路の一実施例を示すブロック図である。

【図2】図1の遅延等化回路に用いた遅延回路の一例を示す回路図である。

【符号の説明】

- 1 アナログ・デジタル変換器
- 2 ファーストフーリエ変換器
- 3, 4, 5 遅延回路
- 6 ファースト逆フーリエ変換器
- 7 デジタル・アナログ変換器
- 8 k段シフトレジスタ
- 9 スイッチ

【図2】



(4)

【図1】

